

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-195977

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/41  
11/417  
11/409

6866-5L  
6866-5L

G11C 11/34

M

305

審査請求 未請求 請求項の数4(全7頁) 最終頁に続く

(21)出願番号 特願平4-346832

(22)出願日 平成4年(1992)12月25日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 小林 利巳

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

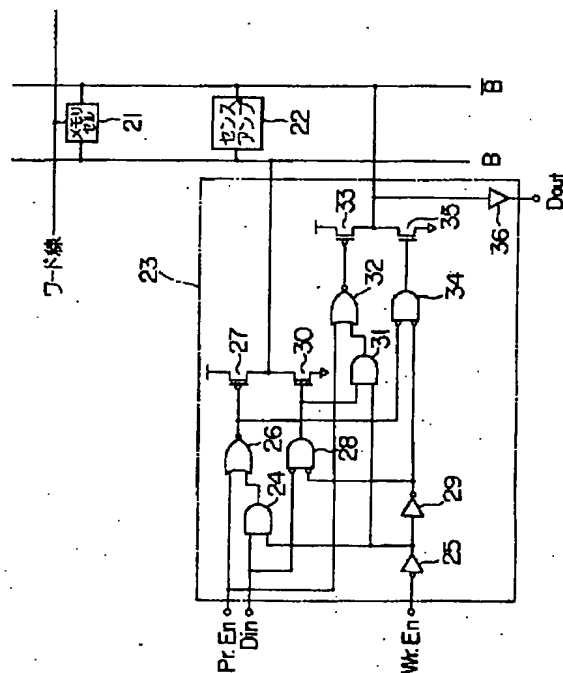
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 半導体メモリチップの面積を削減する。

【構成】 FET27およびFET30の直列回路並びにFET33およびFET35の直列回路はI/O回路23でライトドライバを構成する。このライトドライバは書込タイミングにはビット線対B、バーBを入力データに応じた電圧に設定する。また、このライトドライバはプリチャージタイミングにはビット線対B、バーBにプリチャージ電圧を印加する。



1

## 【特許請求の範囲】

【請求項1】 情報を記憶する複数のメモリセルと、これら各メモリセルを行方向に接続するワード線と、前記各メモリセルを列方向に接続するビット線と、このビット線を介して前記メモリセルにデータを書き込む書込回路とを備えた半導体記憶装置において、前記書込回路は、書込入力データおよびプリチャージ信号を入力して書込タイミングに書込入力データを出力しプリチャージタイミングにプリチャージ信号を出力する信号選択回路と、この信号選択回路の出力に応じて前記ビット線を所定電圧に設定するビット線駆動回路とを備えたことを特徴とする半導体記憶装置。

【請求項2】 前記信号選択回路は、書込タイミングに書込入力データを出力する第1のゲート回路と、プリチャージ信号および前記第1のゲート回路から出力される書込入力データの論理和を出力する第2のゲート回路とからなり、

前記ビット線駆動回路は二基準電圧間をスイッチングするトランジスタからなり、前記第2のゲート回路から出力される信号が書込入力データの場合には前記ビット線を書込入力データに応じた電圧に設定し、前記第2のゲート回路から出力される信号がプリチャージ信号の場合には前記ビット線を前記二基準電圧のうちのいずれか一方の電圧にプリチャージすることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記信号選択回路は、書込タイミングに書込入力データを出力する第1のゲート回路と、プリチャージ信号および前記第1のゲート回路から出力される書込入力データの論理和を反転して出力する第2のゲート回路と、書込タイミングに書込入力データの反転信号を出力する第3のゲート回路とからなり、

前記ビット線駆動回路は、ドレインが一基準電圧に設定されゲートが前記第2のゲート回路の出力に接続された第1導電型チャネルを持つ第1のトランジスタと、ドレインがこの第1のトランジスタのソースおよびビット線に接続されゲートが前記第3のゲート回路の出力に接続されソースが他基準電圧に設定された第2導電型チャネルを持つ第2のトランジスタとからなることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 入力列アドレスをデコードする列デコーダと、この列デコーダのデコード値に応じて前記ビット線を選択する列選択回路と、前記列デコーダから前記列選択回路に与えられるデコード値を選択信号入力に応じて所定数の前記ビット線を選択する値に切り換えるデコード値選択回路とを備えたことを特徴とする請求項1から請求項3のいずれか1項に記載した半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はデータ読み出し時にビット線をプリチャージする機能を持つ半導体記憶装置に関

2

するものである。

## 【0002】

【従来の技術】 従来、この種の半導体メモリとして、例えば、図4に示されるスタティック・ランダム・アクセス・メモリ（SRAM）がある。このようなSRAMにおいては、情報が記憶されるメモリセル1が行および列方向にマトリクス状に配置されている。各メモリセル1は行方向にワード線によって接続されており、列方向にビット線対B、バーBによって接続されている。このビット線対は一般的にカラムと呼ばれる。各カラムには直列にPチャネルMOSFET 2が接続されており、読み出し時にプリチャージ（Pr）端子にローレベル信号が入力されることにより、各FET 2はオンする。各FET 2がオンすると各ビット線対B、バーBの電圧は電源電圧レベルにセットされ、プリチャージが行われる。

【0003】 入力アドレスに応じてワード線およびビット線が選択され、選択されたワード線およびビット線につながるメモリセル1は、センスアンプ3およびI/O回路4に接続される。書き込み時には、このI/O回路4内のPチャネルMOSFET 5、6は、NAND回路9、10によってライトイネーブル（Wr. En）信号がアクティブの時に入力データD<sub>in</sub>に応じて駆動される。また、NチャネルMOSFET 7、8は、NOR回路11、12およびNOT回路13によってPチャネルMOSFET 5、6と反対のスイッチング状態に制御される。従って、ビット線対B、バーBは各FET 5～8によって入力データD<sub>in</sub>に応じた電圧に設定され、メモリセル1に情報が記憶される。一方、読み出し時には、プリチャージされたビット線対の電位はメモリセル1に記憶された情報に応じて変化し、この変化がセンスアンプ3によって増幅される。増幅された読み出しデータD<sub>out</sub>はI/O回路4内のバッファ14を介して出力される。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上記従来の半導体メモリにおいては、読み出しに先立ってビット線をプリチャージしておく必要から、ビット線対B、バーBにPチャネルMOSFET 2を特に設けている。従って、従来構成の半導体メモリにおいては、半導体チップにプリチャージ用トランジスタ素子を形成する領域が必要とされ、チップ面積は削減されなかった。

## 【0005】

【課題を解決するための手段】 本発明はこのような課題を解消するためになされたもので、情報を記憶する複数のメモリセルと、これら各メモリセルを行方向に接続するワード線と、各メモリセルを列方向に接続するビット線と、このビット線を介してメモリセルにデータを書き込む書込回路とを備えた半導体装置において、この書込回路は、書込入力データおよびプリチャージ信号を入力して書込タイミングに書込入力データを出力しプリチャ

3

ージタイミングにプリチャージ信号を出力する信号選択回路と、この信号選択回路の出力に応じてビット線を所定電圧に設定するビット線駆動回路とを備えたものである。

【0006】また、入力列アドレスをデコードする列デコーダと、この列デコーダのデコード値に応じてビット線を選択する列選択回路と、列デコーダから列選択回路に与えられるデコード値を選択信号入力に応じて所定数のビット線を選択する値に切り換えるデコード値選択回路とを備えたものである。

【0007】

【作用】ビット線駆動回路はビット線へのデータ書込およびビット線に対するプリチャージの双方に使用され、従来のプリチャージ専用トランジスタは不要になる。

【0008】また、デコード値選択回路の制御によって列選択回路が所定数のビット線を選択する場合には、ビット線駆動回路によって所定数のビット線に対して一度にプリチャージが行われる。

【0009】

【実施例】図1は本発明の一実施例によるSRAMの概略構成を示している。

【0010】メモリセル21はCMOSFETから構成され、行方向および列方向にマトリクス状に配置されている。そして、各行ごとにワード線によって接続され、各列ごとにビット線対B、バーBによって接続されている。各ワード線はワードドライバを介して行デコーダに接続されており、行デコーダは入力アドレスに応じていずれか1本のワード線の電圧レベルをハイレベルに設定する。ハイレベルにドライブされたワード線につながるメモリセル21は、ビット線対B、バーBに接続される。なお、本実施例においては1カラムに対して1ビットの情報が対応させられている。従って、1ワードを8ビットに構成した場合には、図示される回路構成を1単位にした8単位の回路構成が1ワードとして形成される。

【0011】I/O回路23はビット線対B、バーBに接続にされており、プリチャージタイミングを決定するプリチャージイネーブル(P<sub>r</sub>.E<sub>n</sub>)信号、書込タイミングを決定するライトイネーブル(W<sub>r</sub>.E<sub>n</sub>)信号および書込入力データD<sub>in</sub>を入力する。また、I/O回路23は読み出しデータD<sub>out</sub>を出力する。

【0012】入力データD<sub>in</sub>はAND回路24の一方の端子に入力される。ライトイネーブル信号はNOT回路25で反転され、このAND回路24の他方の端子に入力される。プリチャージイネーブル信号はNOR回路26の一方の端子に入力され、他方の端子にはAND回路24の出力が入力される。このNOR回路26の出力は、ソースが電源電圧V<sub>DD</sub>に設定されたPチャネルMOSFET27に与えられる。また、入力データD<sub>in</sub>はNOR回路28の一方の端子にも入力され、このNOR回

4

路28の他方の入力端子にはNOT回路29でさらに反転されてもとに戻ったライトイネーブル信号が与えられる。NOR回路28の出力はソースが接地されたNチャネルMOSFET30に与えられる。これらFET27およびFET30は直列に接続されており、各FET27、30の接続点はビット線Bに接続されている。

【0013】また、NOR回路28の出力はAND回路31の一方の端子にも入力され、このAND回路31の他方の端子にはNOT回路25で反転されたライトイネーブル信号が入力される。このAND回路31の出力はNOR回路32の一方の端子に入力され、この他方の端子にはプリチャージイネーブル信号が入力される。このNOR回路32の出力はソースが電源電圧V<sub>DD</sub>に設定されたPチャネルMOSFET33に与えられる。また、NOR回路26の出力はNOR回路34の一方の端子に入力され、この他方の端子にはNOT回路29で反転されてもとに戻ったライトイネーブル信号が入力される。このNOR回路34の出力はソースが接地されたNチャネルMOSFET35に与えられる。これらFET33およびFET35は直列に接続されており、各FET33、35の接続点はビット線バーBに接続されている。

【0014】このような構成において、入力アドレスに応じて特定のワード線およびビット線対B、バーBが選択される。さらに、選択されたワード線およびビット線対B、バーBによって1つのメモリセル21が特定され、このメモリセル21はセンスアンプ22およびI/O回路23に接続される。特定されたメモリセル21に対する書き込みおよび読み出しは、このI/O回路23をインターフェースとして行われる。

【0015】I/O回路23に入力されるライトイネーブル信号は図2(b)に示され、同図(a)に示すクロック信号の立ち下がりに応じてローレベルになり、このクロック信号の立ち上がりに応じてハイレベルになる。また、プリチャージタイミングを決定するプリチャージイネーブル信号は同図(d)に示され、ライトイネーブル信号と同様に、クロック信号の立ち下がりに応じてローレベルになり、クロック信号の立ち上がりに応じてハイレベルになる。ライトイネーブル信号は、ハイレベルが非活性なニゲート状態に相当し、ローレベルが活性なアサート状態に相当している。また、プリチャージイネーブル信号は、これと反対に、ハイレベルがアサート状態に相当し、ローレベルがニゲート状態に相当している。

【0016】本実施例におけるSRAMの書き込み動作は以下のごとく行われる。

【0017】入力データD<sub>in</sub>は、ライトイネーブル信号のローレベル時つまり書込タイミングに、AND回路24からNOR回路26へ出力される。ライトイネーブル信号の活性時にはプリチャージイネーブル信号は非活性状態であるため、NOR回路26はライトイネーブル信号が活性な時にはAND回路24からの入力データD<sub>in</sub>

5

を出力する。また、プリチャージ信号が活性な時には、NOR回路26はプリチャージ信号を出力する。従って、PチャネルMOSFET27は、ライトイネーブル信号が活性な時に入力データD<sub>in</sub>に応じてオン・オフ制御される。また、NチャネルMOSFET30は、NOR回路28によってPチャネルMOSFET27と反対のスイッチング状態に制御される。

【0018】例えば、入力データD<sub>in</sub>がハイレベルの場合には、書込タイミングにAND回路24からハイレベル信号が出力され、NOR回路26はこのハイレベル信号を反転したローレベル信号をFET27へ出力する。PチャネルMOSFET27はこのローレベル信号を受けてオン状態になる。また、NOR回路28はこのハイレベルの入力データD<sub>in</sub>を受け、書込タイミングにローレベル信号をFET30へ出力する。NチャネルMOSFET30はこのローレベル信号を受けてオフ状態になる。従って、ビット線BにはFET27を介して電源電圧V<sub>DD</sub>が供給される。

【0019】また、AND回路31は、NOR回路28からのデータ、つまり、入力データD<sub>in</sub>の反転信号を書込タイミングに出力する。NOR回路32はこの信号出力を受けてそのまま入力データD<sub>in</sub>の反転信号をFET33へ出力する。従って、PチャネルMOSFET33はライトイネーブル信号が活性な時に入力データD<sub>in</sub>に応じてオン・オフ制御される。また、NチャネルMOSFET35は、NOR回路34がNOR回路26から出力される入力データD<sub>in</sub>の反転信号を入力することにより、PチャネルMOSFET33と反対のスイッチング状態に制御される。

【0020】例えば、入力データD<sub>in</sub>がハイレベルの場合には、書込タイミングにAND回路31からローレベル信号が出力され、NOR回路32はこのローレベル信号を反転したハイレベル信号をFET33へ出力する。PチャネルMOSFET33はこのハイレベル信号を受けてオフ状態になる。また、NOR回路34は、NOR回路26からハイレベルの入力データD<sub>in</sub>が反転されたローレベル信号を受け、書込タイミングにハイレベル信号をFET35へ出力する。NチャネルMOSFET35はこのハイレベル信号を受けてオン状態になる。従って、ビット線バーBにはFET35を介して接地電圧が供給される。

【0021】このため、ビット線対B、バーBは、図2(c)に示すように、ライトイネーブル信号のアサート時に、ライトイネーブル信号の立ち下がりから一定時間遅れて入力データD<sub>in</sub>に応じた電圧にそれぞれ設定される。この結果、ワード線およびビット線対によって選択された特定のメモリセル11には、ビット線対B、バーBの設定電位に応じた情報が書き込まれる。

【0022】一方、本実施例におけるSRAMのプリチャージ動作は以下のごとく行われる。

6

【0023】まず、読み出し動作に先立ち、ビット線対B、バーBを所定の電圧にリセットするためのプリチャージが各ビット線対に対して行われる。このプリチャージは図2(d)に示すプリチャージイネーブル信号のハイレベル時に行われる。従って、プリチャージタイミングにおいては、図1に示すI/O回路23内のNOR回路26およびNOR回路32の各一方の入力にはハイレベル信号が与えられる。このため、プリチャージタイミングにおいては、他方の端子に入力される信号の如何にかかわらず、各NOR回路26、32からはローレベル信号が出力され、このローレベル信号が各PチャネルMOSFET27、33に与えられる。従って、各FET27、33はオン状態になる。

【0024】また、プリチャージ信号がハイレベルの時には図2に示すようにライトイネーブル信号もハイレベルである。このため、このライトイネーブル信号を一方の端子に入力するNOR回路28の出力は、プリチャージタイミングにおいて他方の端子に入力される信号の如何にかかわらずローレベルになる。従って、このローレベル信号を入力するNチャネルMOSFET30は、プリチャージタイミングにはオフ状態になる。また、NOR回路34の一方の端子にもライトイネーブル信号が与えられているため、NOR回路34はプリチャージタイミングにおいて他方の端子に入力される信号の如何にかかわらずローレベル信号を出力する。従って、このローレベル信号を入力するNチャネルMOSFET35もプリチャージタイミングにはオフ状態になる。

【0025】この結果、プリチャージタイミングにおいては、ビット線対B、バーBにはFET27、33を介して電源電圧V<sub>DD</sub>が供給され、プリチャージがI/O回路23によって行われる。ビット線対に対するプリチャージ後、読み出し動作が行われ、ワード線およびビット線対B、バーBによって選択された特定のメモリセル21は、プリチャージ電位に設定されたビット線対B、バーBを記憶した情報に応じた電位に変化させる。この電位変化はセンスアンプ22により増幅され、I/O回路23内のバッファ36を介して出力される。

【0026】このように本実施例においては、ライトドライバを構成するFET27およびFET30の直列回路並びにFET33およびFET35の直列回路により、各ビット線対へのデータ書込およびビット線対に対するプリチャージの双方が行われる。すなわち、ビット線対に直列接続された従来のプリチャージ専用のPチャネルMOSFETに代わり、I/O回路23内のPチャネルMOSFET27、33がプリチャージに兼用され、従来のプリチャージ専用のPチャネルMOSFETは不要になる。この従来のPチャネルMOSFETは各ビット線ごとに相当数設けられており、半導体メモリチップ上で大きな面積を占めていた。これに対し、本実施例でプリチャージに使用されるPチャネルMOSFET

7

は、上記のようにライトドライバとして用いられるPチャネルMOSFET 27, 33と兼用されるため、従来プリチャージ専用に設けられたPチャネルMOSFETの素子形成領域は半導体メモリチップから削除される。この結果、メモリチップ面積は削減される。

【0027】図3は本発明の他の実施例によるSRAMの概略構成を示す図である。上記実施例では1つのビット情報を1つのカラムに対応させて情報を記憶する場合について説明したが、本実施例では、1つのビット情報を4カラムに対応させて情報を記憶する場合について説明する。

【0028】メモリセル41は行方向および列方向にマトリクス状に配置されており、各行ごとにワード線によって接続され、各列ごとにビット線対B, バーBによって接続されている。各ワード線はワードドライバ42を介して行デコーダ43に接続されており、行デコーダ43は入力アドレスに応じていずれか1本のワード線の電圧レベルをハイレベルに設定する。ハイレベルにドライブされたワード線につながるメモリセル41は、ビット線対B, バーBに接続される。また、各ビット線対B, 20  
バーBはNチャネルMOSFETからなるカラムセクタ44に接続されており、このカラムセクタ44はデコード値選択回路45を介してカラムデコーダ46に接続されている。

【0029】カラムデコーダ46は入力アドレスからいずれか1つのカラムを選択するデコード値を出力する。このデコード値はデコード値選択回路45を構成するOR回路47の一方の端子に入力される。このOR回路47の他方の端子にはsel端子が接続されており、sel端子に入力される選択信号がローレベルの時には、デコード値選択回路45はカラムデコーダ46の出力したデコード値をそのままカラムセクタ44へ出力する。従って、カラムセクタ44はこのデコード値に応じていずれか1つのカラムを選択し、選択されたカラムのビット線対B, バーBはデータ線を介してセンスアンプ47およびI/O回路48に接続される。また、sel端子に入力される選択信号がハイレベルになると、各NOR回路47の全出力は他入力の如何にかかわらずハイレベルになる。従って、この選択信号入力によってカラムセクタ44を構成する全てのNチャネルMOSFET 40  
はオンし、カラムセクタ44は全カラムを選択する。このため、全てのビット線対B, バーBがデータ線を介してセンスアンプ47およびI/O回路48に接続される。

【0030】I/O回路48は前記実施例におけるI/O回路23と同様に構成されている。従って、書き込み

8

および読み出し動作は上記実施例と同様に行われるが、プリチャージは次のように行われる。つまり、プリチャージ信号がアサート状態になる時にsel端子にハイレベルの選択信号が入力される。このため、カラムセクタ44は、プリチャージタイミングにはデコード値選択回路45の制御によって全カラム選択状態に設定される。従って、I/O回路48から前述のように出力されるプリチャージ電圧はデータ線を介して全カラムのビット線対B, バーBに印加される。従って、1ビット情報に複数カラムに対応させて情報を記憶する本実施例の場合においては、全カラムのビット線対に対して一度にプリチャージが行われる。

【0031】このように本実施例においても、I/O回路48内のライトドライバのPチャネルMOSFETは、ビット線対B, バーBへのデータ書込および各ビット線対B, バーBに対するプリチャージの双方に使用される。このため、従来プリチャージ専用設けられたPチャネルMOSFETは不要になり、本実施例においてもメモリチップの面積は削減され、上記実施例と同様な効果が奏される。

#### 【0032】

【発明の効果】以上説明したように本発明によれば、ビット線駆動回路はビット線へのデータ書込およびビット線に対するプリチャージの双方に使用され、従来のプリチャージ専用のトランジスタは不要になる。また、デコード値選択回路の制御によって列選択回路が所定数のビット線を選択する場合には、ビット線駆動回路によって所定数のビット線に対して一度にプリチャージが行われる。このため、半導体記憶装置を形成する半導体メモリチップからプリチャージ専用トランジスタの素子形成領域が削除され、メモリチップの面積は削減される。

#### 【図面の簡単な説明】

【図1】本発明の一実施例によるSRAMの概略構成を示す回路ブロック図である。

【図2】一実施例におけるSRAM各部の信号を示すタイミングチャートである。

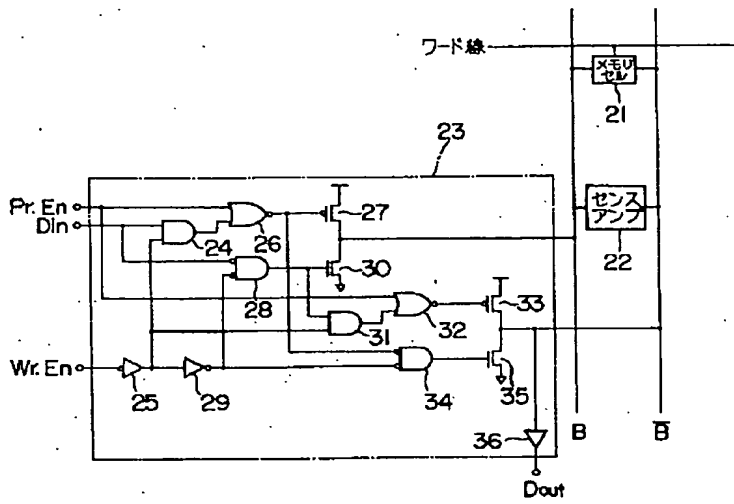
【図3】本発明の他の実施例によるSRAMの概略構成を示す回路ブロック図である。

【図4】従来のSRAMの概略構成を示す回路ブロック図である。

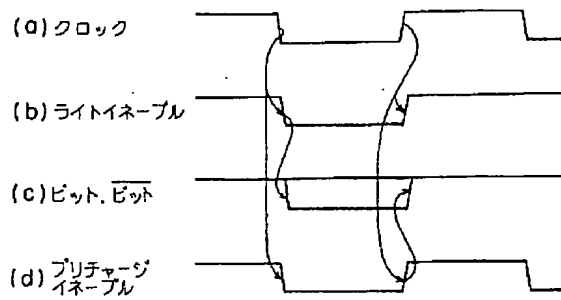
#### 【符号の説明】

21…メモリセル、22…センスアンプ、23…I/O回路、24, 31…AND回路、25, 29…NOT回路、26, 28, 32, 34…NOR回路、27, 33…PチャネルMOSFET、30, 35…NチャネルMOSFET、36…バッファ。

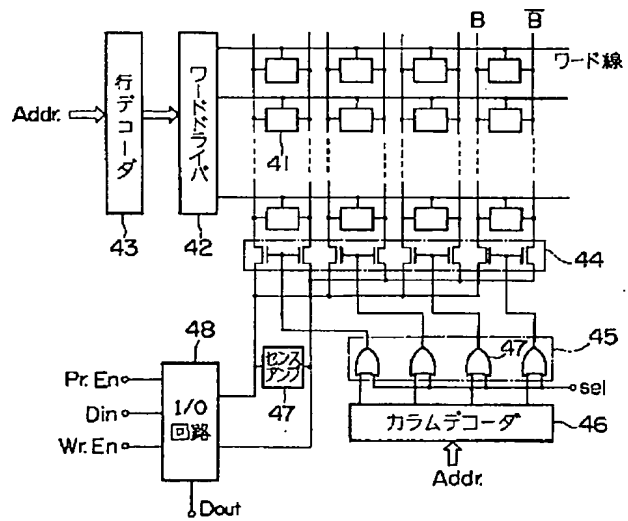
【図1】



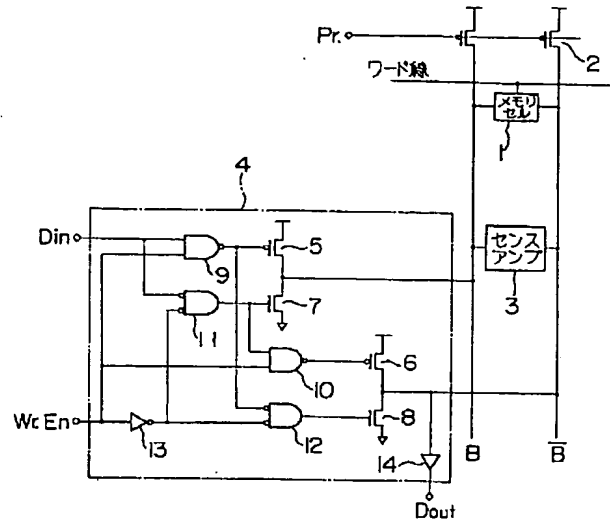
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

F I

技術表示箇所

6866-5 L

G 1 1 C 11/34

3 5 3 F